



安路科技 EG4S20 FPGA
数据手册

(v1.4) 2018年4月

安路EG4S20数据手册

目 录

目 录.....	1
1 简介	2
1.1 EAGLE 器件系列特性	2
1.2 EG4S20 器件特色.....	4
2 硬件设计	5
2.1 EG4S20NG88、EG4A20NG88 引脚列表.....	5
2.2 EG4S20BG256 引脚列表.....	9
2.3 EG4S20NG88 封装尺寸.....	15
2.4 EG4S20BG256 封装尺寸.....	16
2.5 EG4S20NG88 最小硬件系统.....	17
2.6 EG4A20NG88 器件.....	17
3 使用内部 SDR SDRAM	18
4 软件使用向导	21
4.1 特殊 IP 使用.....	21

1 简介

1.1 EAGLE 器件系列特性

- 灵活的逻辑结构
 - 等效 23,520 个 4 输入查找表 (LE)。
- 低功耗器件
 - 先进的 55nm 低功耗工艺
 - 静态功耗低至 5mA
- 丰富的片内存储空间
 - 等效 23,520 个 4 输入查找表 (LE)
 - 64Mb SDR SDRAM 存储空间, 最高 200MHz 工作频率
 - 最大 156.8Kb 分布式 RAM
 - 64 块 9Kb 嵌入式 RAM (EMB9K), 16 块 32Kb 嵌入式 RAM
- 可配置逻辑模块(PLBs)
 - 优化的 LUT4/LUT5 组合设计
 - 双端口分布式存储器
 - 支持算数逻辑运算
 - 快速进位链逻辑
- 嵌入式乘法器
 - 29 个 18 x 18 乘法器, 支持 9X9 模式
 - 最高 250MHz
- 源同步输入/输出接口
 - 输入/输出单元包含 DDR 寄存器
 - Generic DDRx1
 - Generic DDRx2
- BSCAN
 - 兼容 IEEE-1149.1
- 高性能, 灵活的输入/输出缓冲器
 - 支持热插拔
 - 可配置上拉/下拉模式
 - 片内 100 欧姆差分电阻
 - 可配置施密特触发器, 最大 0.5V 迟滞
- 时钟资源
 - 16 个全局时钟
 - 3 个 PLLs 用于频率综合
 - 5 路时钟输出
 - 分频系数 1 到 128
 - 支持 5 路时钟输出级联
 - 动态相位选择
- 嵌入式硬核 IP
 - ADC
 - 12 比特逐次逼近寄存器型 (SAR)
 - 最多 8 个模拟输入
 - 1MHz 采样速率 (MSPS)
 - 集成电压监控模块
 - 内置环形振荡器
- 配置模式
 - 主动串行, 从动串行, 主动并行, 从动并行
 - JTAG 模式 (IEEE-1532)
 - 支持双启动和多启动模式
- 封装
 - QFN88 BGA256

表 1-1 EG4S20 器件资源

8

General feature		EG4S20NG88	EG4A20NG88	EG4S20BG256	
Number of FFs		19,600	19,600	19,600	
Number of LUTS		23,520	23,520	23,520	
Number of Dis-Ram bits		156,800	156,800	156,800	
Number of EMB (9k)		64	64	64	
Number of EMB (32k)		16	16	16	
Total EBR bits		1,114,112	1,114,112	1,114,112	
Number of M18x18		29	29	29	
Total Configuration SRAM (bits)		4,988,928	4,988,928	4,988,928	
PLL		3	3	3	
Low-skew gclock in chip		16	16	16	
EM SDR SDRAM		2M X 32bits		2M X 32bits	
User IO Banks		1	1	1	
Maximum user IOs		71	71	193	

表 1-2 EG4S20 FPGA 封装

Packages		EG4S20NG88	EG4A20NG88	EG4S20BG256	
QFN88 (10x10, 0.4mm pitch)		71/14 ^{注)}	71/14		
BGA256 (17x17, 1.0mm pitch)				193/92	

注：表示用户可用 IO 数/用户可用差分输出（LVDS）对

1.2 EG4S20 器件特色

安路最新的 EG4S20 FPGA，是基于安路成熟可靠的低成本、低功耗可编程 FPGA EG4X20，采用最新的 3D 合封技术，与一块 2M X 32bits 的 SDR SDRAM 合封而成。EG4S20 FPGA 既有更小，更简单可靠的 QFN 封装，又有用户可用 IO 更多的 BGA 封装。更大的内嵌存储容量，特别适用于大容量，高速数据的采集、传输和转换等应用。

特色优势

- ◆ 多品种，大容量的内置存储空间
 - 内置 64Mb SDR SDRAM 存储空间，32 位数据总线宽度，最高 200Mhz 工作频率，最大读写带宽高达 6.4Gbps
 - 内置 64 块 EMB9K 随机读写 RAM，可配置为真双口，简单双口，单口 RAM 和 FIFO 工作模式，位宽可配置为 512x18，1Kx9，2Kx4，4Kx2，8Kx1，最高频率 250Mhz
 - 内置 16 块 32Kb RAM，可配置为单口 RAM，双口 RAM，可独立配置为 2Kx16 或者 4Kx8

- ◆ 更小封装，更多 IO，更利于 PCB 布线的引脚排布
 - QFN88 封装，EPAD 接地，最长达 71 个用户 IO
 - BGA256 封装，SDRAM 内置，不占用外部用户 IO，最多还有 193 个用户 IO
 - 最多支持 7 对 True LVDS，最高频率 800Mbps
 - QFN88 封装，0.4mm 引脚间距，封装尺寸 10mm X 10mm
 - BGA256 封装，1.0mm 引脚间距，封装尺寸 17mm X 17mm
 - 优化的引脚排布，使得只需要两层 PCB 即可轻松使用器件所有 IO
 - 支持简单低成本的 SPI FLASH 配置；上电配置后，FLASH 可作为用户使用

- ◆ 集成多种专用 IP
 - 集成 12BIT SAR 型 ADC，采样率可达 1MHz，最多支持 8 个输入通道复用
 - 集成电源监控模块，可对指定 BANK 电压监控
 - 集成内部环型振荡器

2 硬件设计

2.1 EG4S20NG88、EG4A20NG88 引脚列表

表 2-1 EG4S20NG88\EG4A20NG88 FPGA 引脚列表

IO BANK	名称	引脚号	最小系统需要	第二功能	功能描述
BANK1	VCC	1	是 (注3)		内核电源
BANK1	IO	2			通用 IO
BANK1	IO	3			通用 IO
BANK1	IO	4		LVDS1_N	通用 IO
BANK1	IO	5		LVDS1_P	通用 IO
BANK1	GND	6	是		芯片地
BANK1	VCCIO1	7	是		3.3V BANK1 IO 电源 (注4)
BANK1	IO	8	是	DONE	配置完成/通用 IO
BANK1	VCCIO1	9	是		3.3V BANK1 IO 电源
BANK1	IO	10			通用 IO
BANK1	IO	11		GCLKIOL_2	通用 IO
BANK1	IO	12		GCLKIOL_5	通用 IO
BANK1	IO	13		GCLKIOL_4	通用 IO
BANK1	IO	14			通用 IO
BANK2	VCCIO2	15	是		3.3V BANK2 IO 电源
BANK2	IO	16		LVDS2_N	通用 IO
BANK2	IO	17		LVDS2_P	通用 IO
BANK2	IO	18			通用 IO
BANK2	IO	19			通用 IO
BANK2	VCCIO2	20	是		3.3V BANK2 IO 电源
BANK2	IO	21	是	TDO	JTAG/通用 IO
BANK2	IO	22	是	TMS	JTAG/通用 IO
BANK3	IO	23			通用 IO
BANK3	VCCIO3	24	是		BANK3 IO 电源

BANK3	IO	25	是	TDI	JTAG/通用 IO
BANK3	IO	26	是	TCK	JTAG/通用 IO
BANK3	IO	27			通用 IO
BANK3	IO	28		ELVDS1_N	通用 IO
BANK3	IO	29		ELVDS1_P	通用 IO
BANK3	IO	30			通用 IO
BANK3	IO	31			通用 IO
BANK3	IO	32		ELVDS2_P	通用 IO
BANK3	IO	33		ELVDS2_N	通用 IO
BANK3	IO	34		GCLKIOB_5	通用 IO
BANK4	IO	35		GCLKIOB_2	通用 IO
BANK4	VCC	36	是		内核电源
BANK4	IO	37		ELVDS3_P	通用 IO
BANK4	IO	38		ELVDS3_N	通用 IO
BANK4	IO	39			通用 IO
BANK4	IO	40		ELVDS4_N	通用 IO
BANK4	IO	41		ELVDS4_P	通用 IO
BANK4	IO	42			通用 IO
BANK4	VCCIO4	43	是		BANK4 IO 电源
BANK4	IO	44		HSWAPEN	IO 加载状态/通用 IO
BANK5	IO	45			通用 IO
BANK5	VCCIO5	46	是		3.3V BANK5 IO 电源
BANK5	IO	47		LVDS3_P	通用 IO
BANK5	IO	48		LVDS3_N	通用 IO
BANK5	IO	49		LVDS4_P	通用 IO
BANK5	IO	50		LVDS4_N	通用 IO
BANK5	IO	51			通用 IO
BANK5	IO	52			通用 IO
BANK5	VCCIO5	53			3.3V BANK5 IO 电源
BANK5	IO	54		LVDS5_N/GCLKIOR_0	通用 IO
BANK5	IO	55		LVDS5_P/GCLKIOR_1	通用 IO

BANK6	VCC	56			核心电源
BANK6	IO	57		GCLKIOR_4	通用 IO
BANK6	VCCIO6	58	是		3.3V BANK6 IO 电源
BANK6	IO	59			通用 IO
BANK6	IO	60		LVDS6_N	通用 IO
BANK6	IO	61		LVDS6_P	通用 IO
BANK6	IO	62			通用 IO
BANK6	IO	63		LVDS7_N	通用 IO
BANK6	IO	64		LVDS7_P	通用 IO
BANK6	VCCIO6	65	是		3.3V BANK6 IO 电源
BANK6	IO	66			通用 IO
BANK7	IO	67	是	PROGRAM_B	芯片复位/通用 IO
BANK7	IO	68	是	INIT_N	通用 IO
BANK7	IO	69	是	CSO_B	FLASH 片选/通用 IO
BANK7	IO	70		D3,ELVDS5_P	通用 IO
BANK7	IO	71		D4,ELVDS5_N	通用 IO
BANK7	IO	72		D7	通用 IO
BANK7	VCCIO7	73	是		BANK7 IO 电源
BANK7	IO	74		D6	通用 IO
BANK7	IO	75		GCLKIOT_7	通用 IO
BANK7	IO	76		D5	通用 IO
BANK7	IO	77		GCLKIOT_4/ELVDS6_N	通用 IO
BANK7	IO	78		GCLKIOT_5/ELVDS6_P	通用 IO
BANK7	IO	79		GCLKIOB_0	通用 IO
BANK8	IO	80	是	D0,MISO	FLASH IO/通用 IO
BANK8	IO	81	是	MOSI	FLASH IO/通用 IO
BANK8	IO	82	是	CCLK	FLASH 时钟/通用 IO
BANK8	IO	83	是	M0	模式选择/通用 IO

BANK8	IO	84	是	M1, ADC_CH_0	模式选择/通用 IO
BANK8	VCCIO8	85	是	ADC_VREF	BANK8 IO 电源
BANK8	IO	86		D1, ADC_CH_5,ELVDS7_P	通用 IO
BANK8	IO	87		D2, ADC_CH_6,ELVDS7_N	通用 IO
	VCCAUX	88	是		3.3V 辅助电源
	GND	89	是		芯片地 PAD

注 1: 可通过软件配置, 使 FPGA 在上电配置后, 这些引脚可以作为用户 IO 使用。

注 2: 参考 EG4 FPGA 手册可知, DPCLK,GCLKIO,GPLL_CLKIN 均可作为 PLL 专用时钟输入, 输入延时固定。

注 3: 这些引脚为芯片最小系统需求, 必须保证这些引脚正确连接, 芯片才能正常工作。

注 4: EG4S20NG88 器件的 BANK1 ,BANK2,BANK3,BANK4,BANK5,BANK6,BANK7 必须使用 3.3V IO 电压, BANK8 可支持 1.2V, 1.5V, 1.8V, 2.5V, 3.3V IO 电平。

EG4A20NG88 器件的 BANK3,BANK4,BANK7 必须使用 3.3V IO 电压, 其他 BANK 均支持 1.2V, 1.5V, 1.8V, 2.5V, 3.3V IO 电平。

2.2 EG4S20BG256 引脚列表

表 2-2 EG4S20BG256 FPGA 引脚列表

编号	BANK	引脚说明	编号	BANK	引脚说明
P16	1	IO_L1P_1	G12	1	IO_L13P_1
P15	1	IO_L1N_1	L16	1	IO_L14P_1
L12	1	IO_L2P_1	M16	1	IO_L14N_1
M11	1	IO_L2N_1	J16	1	IO_L15P_1
P13	1	IO_L3P_1,DONE	K16	1	IO_L15N_1
P14	1	IO_L3N_1	D16	1	IO_L16N_1
K11	1	IO_L4P_1	D14	1	IO_L16P_1
J11	1	IO_L4N_1	F15	1	IO_L17P_1
L13	1	IO_L5P_1	E15	1	IO_L17N_1
M13	1	IO_L5N_1	G16	1	IO_L18P_1
L14	1	IO_L6P_1	H16	1	IO_L18N_1
M14	1	IO_L6N_1	E14	1	IO_L_1,TDO
M15	1	IO_L7N_1	A15	1	IO_L_1,TMS
K15	1	IO_L7P_1			
K12	1	IO_L8P_GCLKIOL_3_1			
J12	1	IO_L8N_GCLKIOL_2_1			
K14	1	IO_L_GCLKIOL_4_1			
N14	1	IO_L_1			
H14	1	IO_L_1			
J13	1	IO_L9N_1			
H13	1	IO_L9P_1			
J14	1	IO_L10P_1			
N16	1	IO_L10N_1			
H15	1	IO_L11P_1			
G14	1	IO_L11N_1			
F14	1	IO_L12N_1			
F13	1	IO_L12P_1			
G11	1	IO_L13N_1			

编号	BANK	引脚说明	编号	BANK	引脚说明
F16	0	IO_BE1N_0	C16	0	IO_BE13P_0
E16	0	IO_BE1P_0	B14	0	IO_BE14P_0
C12	0	IO_B_0,TDI	A14	0	IO_BE14N_0
C14	0	IO_B_0,TCK	B15	0	IO_BE15N_0
E12	0	IO_BE2N_0	B16	0	IO_BE15P_0
F12	0	IO_BE2P_0	C8	0	IO_BE16P_0
F10	0	IO_BE3P_0	B8	0	IO_BE16N_0
H11	0	IO_BE3N_0	A12	0	IO_BE17N_0
D12	0	IO_BE4N_0	A13	0	IO_BE17P_0
D11	0	IO_BE4P_0	A8	0	IO_BE18P_0
E10	0	IO_BE5N_0	A7	0	IO_BE18N_0
E11	0	IO_BE5P_0	C7	0	IO_BE19N_0
E13	0	IO_BE6P_0	C6	0	IO_BE19P_0
C13	0	IO_BE6N_0	A5	0	IO_BE20P_0
C10	0	IO_BE7N_0	A6	0	IO_BE20N_0
B12	0	IO_BE7P_0	B6	0	IO_BE21N_0
C11	0	IO_BE8P_0	C5	0	IO_BE21P_0
A11	0	IO_BE8N_0	E7	0	IO_BE22N_0
F9	0	IO_BE9P_GCLKIOB_1_0	F7	0	IO_BE22P_0
D9	0	IO_BE9N_GCLKIOB_0_0	E6	0	IO_BE23P_0
C9	0	IO_BE10N_GCLKIOB_4_0	F6	0	IO_BE23N_0
B10	0	IO_BE10P_GCLKIOB_5_0	A4	0	IO_BE24N_0
A10	0	IO_BE11P_GCLKIOB_7_0	A3	0	IO_BE24P_0
A9	0	IO_BE11N_GCLKIOB_6_0	D5	0	IO_BE25P_0
E8	0	IO_BE12N_GCLKIOB_2_0	D6	0	IO_BE25N_0
D8	0	IO_BE12P_GCLKIOB_3_0	B5	0	IO_BE26N_0
C15	0	IO_BE13N_0	C4	0	IO_BE26P_0,HSWAPEN

编号	BANK	引脚说明	编号	BANK	引脚说明
D3	3	IO_R1N_3	H2	3	IO_R13P_GCLKIOR_7_3
B3	3	IO_R1P_3	L1	3	IO_R13N_GCLKIOR_6_3
E4	3	IO_R2N_3	H3	3	IO_R14N_GCLKIOR_0_3
E3	3	IO_R2P_3	H4	3	IO_R14P_GCLKIOR_1_3
F4	3	IO_R3N_3	J4	3	IO_R15N_GCLKIOR_4_3
F5	3	IO_R3P_3	J3	3	IO_R15P_GCLKIOR_5_3
B2	3	IO_R4P_3	K2	3	IO_R16N_3
A2	3	IO_R4N_3	K3	3	IO_R16P_3
B1	3	IO_R_3	J6	3	IO_R17N_3
C3	3	IO_R5P_3	K5	3	IO_R17P_3
C2	3	IO_R5N_3	P1	3	IO_R18P_3
F3	3	IO_R_3	R1	3	IO_R18N_3
C1	3	IO_R6P_3	P2	3	IO_R19N_3
E2	3	IO_R6N_3	R2	3	IO_R19P_3
D1	3	IO_R7N_3	M2	3	IO_R20N_3
E1	3	IO_R7P_3	L3	3	IO_R20P_3
F2	3	IO_R8N_3	K6	3	IO_R21P_3
F1	3	IO_R8P_3	M3	3	IO_R21N_3
G6	3	IO_R9N_3	L4	3	IO_R_3
G5	3	IO_R9P_3	L5	3	IO_R_3
G3	3	IO_R10N_3	N3	3	IO_R22N_3
G1	3	IO_R10P_3	M4	3	IO_R22P_3
H5	3	IO_R11N_3	P4	3	IO_R23P_3
H1	3	IO_R11P_3	N4	3	IO_R23N_3
J1	3	IO_R12N_3	M5	3	IO_R_3
K1	3	IO_R12P_3	M1	3	IO_R24N_3
			N1	3	IO_R24P_3

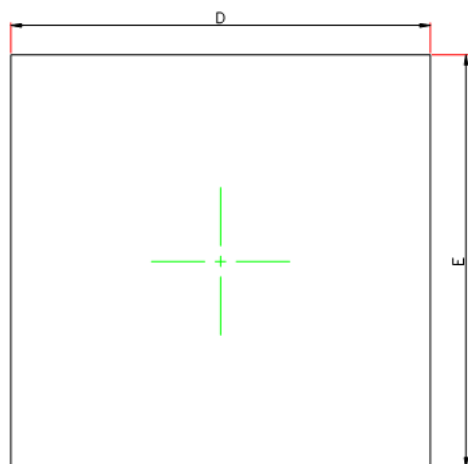
引脚	BANK	引脚说明	编号	BANK	引脚说明
T2	2	IO_T_2,PROGRAM_B	T13	2	IO_TE13N_GCLKIOT_2_2
R3	2	IO_T_2,INIT_B	T14	2	IO_TE13P_GCLKIOT_3_2
T3	2	IO_T_2,CSO_B	P10	2	IO_T_2,D0_DIN_MISO
T4	2	IO_TE1N_2	T10	2	IO_T_2,MOSI_CSI_B
P6	2	IO_TE1P_2	T15	2	IO_TE15N_2
T5	2	IO_TE2P_2	R15	2	IO_TE15P_2
T6	2	IO_TE2N_2	R14	2	IO_TE16P_2
N5	2	IO_TE3P_2,D3	R12	2	IO_TE16N_2
P5	2	IO_TE3N_2,D4	T11	2	IO_T_2,M0
M6	2	IO_TE4P_2	R11	2	IO_T_2,CCLK
N6	2	IO_TE4N_2	M10	2	IO_TE17P_2,ADC_CH_1
M7	2	IO_TE5N_2	P11	2	IO_TE17N_2,ADC_CH_3
T12	2	IO_TE5P_2	L10	2	IO_T_2,ADC_CH_2
R5	2	IO_TE6P_2,D7	N11	2	IO_T_2,M1,ADC_CH_0
P8	2	IO_TE6N_2	N12	2	IO_TE18P_2,D1,ADC_CH_5
N8	2	IO_TE7N_2	P12	2	IO_TE18N_2,D2,ADC_CH_6
T9	2	IO_TE7P_2	R16	2	IO_TE19N_2,ADC_CH_7
R9	2	IO_TE8P_2	M12	2	IO_TE19P_2,ADC_CH_4
P9	2	IO_TE8N_2			
L7	2	IO_TE9N_2,D6			
L8	2	IO_TE9P_2,D5			
P7	2	IO_TE10P_GCLKIOT_7_2			
M9	2	IO_TE10N_GCLKIOT_6_2			
T7	2	IO_TE11N_GCLKIOT_4_2			
R7	2	IO_TE11P_GCLKIOT_5_2			
N9	2	IO_TE12P_GCLKIOT_1_2			
T8	2	IO_TE12N_GCLKIOT_0_2			

编号	BANK	引脚说明	编号	BANK	引脚说明
L11	-	ADC_VREF	G7	-	VCCINT
B13	-	VCCO_0	G9	-	VCCINT
B4	-	VCCO_0	H10	-	VCCINT
B9	-	VCCO_0	H8	-	VCCINT
D10	-	VCCO_0	J7	-	VCCINT
D7	-	VCCO_0	J9	-	VCCINT
D15	-	VCCO_1	K10	-	VCCINT
G13	-	VCCO_1	K8	-	VCCINT
J15	-	VCCO_1	A1		GND
K13	-	VCCO_1	A16		GND
N15	-	VCCO_1	B11		GND
R13	-	ADC_VDDA	B7		GND
N10	-	VCCO_2	D13		GND
N7	-	VCCO_2	D4		GND
R4	-	VCCO_2	E9		GND
R8	-	VCCO_2	G15		GND
D2	-	VCCO_3	G2		GND
G4	-	VCCO_3	G8		GND
J2	-	VCCO_3	H12		GND
K4	-	VCCO_3	H7		GND
N2	-	VCCO_3	H9		GND
E5	-	VCCAUX	J5		GND
F11	-	VCCAUX	J8		GND
F8	-	VCCAUX	K7		GND
G10	-	VCCAUX	K9		GND
H6	-	VCCAUX	L15		GND
J10	-	VCCAUX	L2		GND

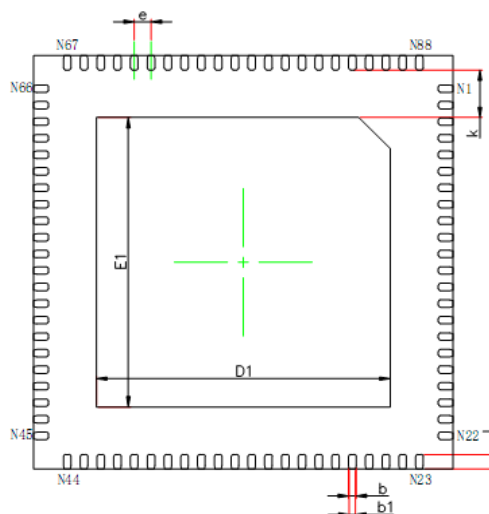
L6	-	VCCAUX	M8		GND
L9	-	VCCAUX	N13	-	GND
P3	-	GND	T1		GND
R10		GND	T16		GND
R6		GND			

注意：因为 BANK1 与 BANK3 内部 IO 与 SDR SDRAM 相连，所以 VCCO1,VCCO3 只能接 3.3V 电源

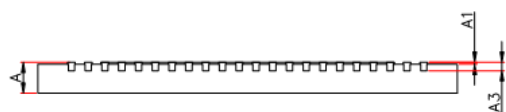
2.3 EG4S20NG88 封装尺寸



TOP VIEW



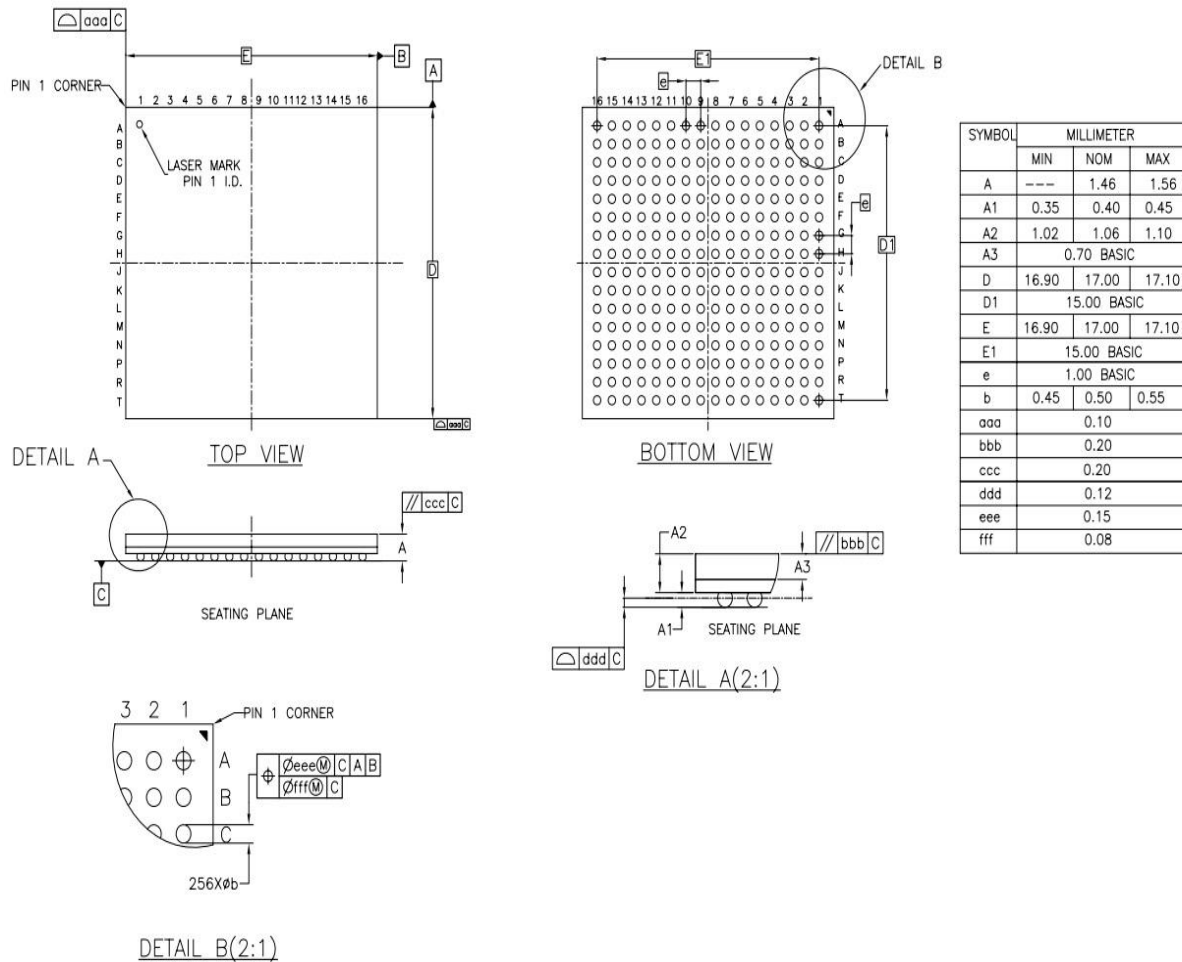
SIDE VIEW



BOTTOM VIEW

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	MIN.	MAX.	MIN.	MAX.
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	9.924	10.076	0.391	0.397
E	9.924	10.076	0.391	0.397
D1	6.900	7.100	0.272	0.280
E1	6.900	7.100	0.272	0.280
k	1.150REF.		0.045REF.	
b	0.150	0.250	0.006	0.010
b1	0.100	0.200	0.004	0.008
e	0.400BSC.		0.016BSC.	
L	0.274	0.426	0.011	0.017

2.4 EG4S20BG256 封装尺寸



2.5 EG4S20NG88 最小硬件系统

EG4S20NG88 FPGA 要正常工作，需要保证如表 2-1 所示的最小系统需要相关的引脚都正确的连接。硬件设计实例请参考附录 EG4S20NG88_FPGA_CORE.pdf。

2.6 EG4A20NG88 器件

EG4A20NG88 芯片内部不含 SDR SDRAM，其他内部资源和外部引脚均与 EG4S20NG88 器件完全相同。

EG4A20NG88 器件的 BANK3,BANK4,BANK7 只支持 3.3V IO 电压。其他 BANK 支持 1.2V, 1.8V, 2.5V, 3.3V 的 IO 电压。

3 使用内部 SDR SDRAM

EG4S20 内嵌一片 2M X 32bit 的 SDRAM，最高 200Mhz 工作频率，最大读写带宽高达 6.4Gbps。SDRAM 与 FPGA 通过软件深度整合，所以如果要使用 SDRAM，只需要在顶层实例化如下 IP 模块即可。该 IP 的原型如下：

```
EG_PHY_SDRAM_2M_32 U_EG_PHY_SDRAM_2M_32(
```

```
    .clk(SD_CLK),                // SDRAM 时钟 1bit 位宽  
  
    .ras_n(SD_RAS_N),           // SDRAM 行选通 1bit 位宽  
  
    .cas_n(SD_CAN_N),          //SDRAM 列选通 1bit 位宽  
  
    .we_n(SD_WE_N),            //SDRAM 写使能 1bit 位宽  
  
    .addr(SD_SA),               //SDRAM 地址 11bits 位宽  
  
    .ba(SD_BA),                 // SDRAM BANK 地址 2bits 位宽  
  
    .dq(SD_DQ),                 // SDRAM 数据 32bits 位宽  
  
    .cke(SD_CKE),              // SDRAM 时钟使能 1bit 位宽  
  
    .dm(4'd0)                   // SDRAM 数据屏蔽 4bits 位宽  
  
);
```

表 3-1 SDRAM 引脚分配

SDRAM 引脚名称	SDRAM 引脚描述	引脚连接
DQ0	数据脚 0	与 IP 相连
DQ1	数据脚 1	与 IP 相连
DQ2	数据脚 2	与 IP 相连
DQ3	数据脚 3	与 IP 相连
DQ4	数据脚 4	与 IP 相连
DQ5	数据脚 5	与 IP 相连
DQ6	数据脚 6	与 IP 相连
DQ7	数据脚 7	与 IP 相连
DQ8	数据脚 8	与 IP 相连
DQ9	数据脚 9	与 IP 相连
DQ10	数据脚 10	与 IP 相连
DQ11	数据脚 11	与 IP 相连
DQ12	数据脚 12	与 IP 相连
DQ13	数据脚 13	与 IP 相连
DQ14	数据脚 14	与 IP 相连
DQ15	数据脚 15	与 IP 相连
DQ16	数据脚 16	与 IP 相连
DQ17	数据脚 17	与 IP 相连
DQ18	数据脚 18	与 IP 相连
DQ19	数据脚 19	与 IP 相连
DQ20	数据脚 20	与 IP 相连
DQ21	数据脚 21	与 IP 相连
DQ22	数据脚 22	与 IP 相连
DQ23	数据脚 23	与 IP 相连
DQ24	数据脚 24	与 IP 相连
DQ25	数据脚 25	与 IP 相连
DQ26	数据脚 26	与 IP 相连
DQ27	数据脚 27	与 IP 相连
DQ28	数据脚 28	与 IP 相连

DQ29	数据脚 29	与 IP 相连
DQ30	数据脚 30	与 IP 相连
DQ31	数据脚 31	与 IP 相连
SA0	地址脚 0	与 IP 相连
SA1	地址脚 1	与 IP 相连
SA2	地址脚 2	与 IP 相连
SA3	地址脚 3	与 IP 相连
SA4	地址脚 4	与 IP 相连
SA5	地址脚 5	与 IP 相连
SA6	地址脚 6	与 IP 相连
SA7	地址脚 7	与 IP 相连
SA8	地址脚 8	与 IP 相连
SA9	地址脚 9	与 IP 相连
SA10	地址脚 10	与 IP 相连
BA0	BANK 地址脚 0	与 IP 相连
BA1	BANK 地址脚 1	与 IP 相连
WE_N	写使能	与 IP 相连
RAS_N	行选通	与 IP 相连
CAS_N	列选通	与 IP 相连
CLK	芯片时钟	与 IP 相连
CS_N	片选	与 IP 相连
DM0	数据 0-7 屏蔽	与 IP 相连
DM1	数据 8-15 屏蔽	与 IP 相连
DM2	数据 16-23 屏蔽	与 IP 相连
DM3	数据 24-31 屏蔽	与 IP 相连
CKE	时钟使能	与 IP 相连

4 软件使用向导

4.1 特殊 IP 使用

- 一、 IO 延时单元，可使用该单元调节 RGMII 信号的输入延时

```
EG_LOGIC_IDELAY U0_EG_LOGIC_IDELAY(
    .i(PHY1_RXDV),
    .o(rxdv_int));
```

```
defparam U0_EG_LOGIC_IDELAY.INDEL = 0;
```

经过此单元后起始增加 0.8ns 延时，参数用于设置延时长度，每增加 1，增加延时 0.1ns；参数调节范围为 0-31。

- 二、 输入双沿采样单元，用于对 RGMII 输入信号的双沿采样

```
EG_LOGIC_IDDR IDDR_0(
    .q0(rxd_r2g_tmp[3]),
    .q1(rxd_r2g_tmp[7]),
    .clk(rxc),
    .d(rxd[3]),
    .rst(~rst_n));
```

- 三、 输出双沿驱动单元，用于对 RGMII 输出信号的双沿驱动

```
EG_LOGIC_ODDR ODDR_0(
    .q(txd[0]),
    .clk(txc_tmp),
    .d0(txd_tmp[4]),
    .d1(txd_tmp[0]),
    .rst(RST_OUT0));
```

- 四、 内部重启控制单元，用于程序控制芯片从 FLASH 的指定地址加载程序重新启动

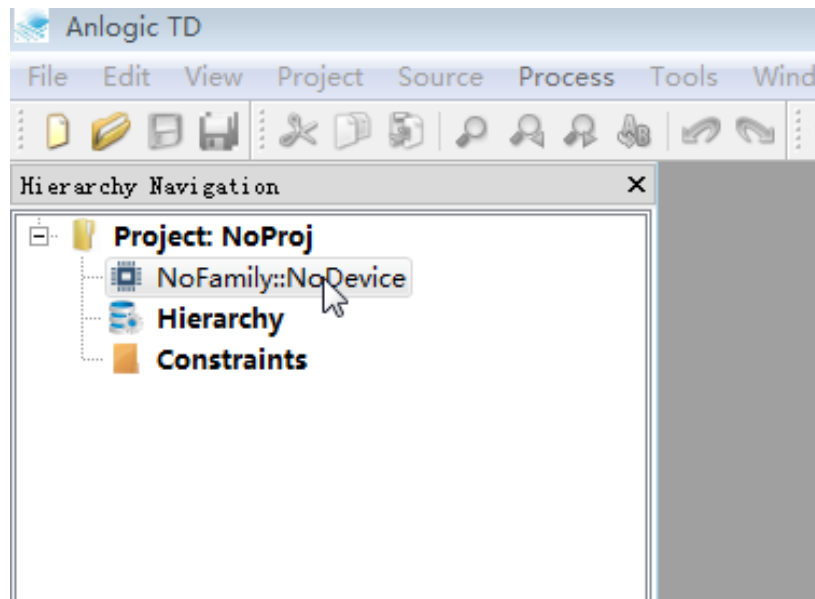
```
EG_LOGIC_MBOOT U_EG_LOGIC_MBOOT(
    .rebootn(rebootn),
    .dynamic_addr(dynamic_addr));
```

在 dynamic_addr 设置相应的启动地址，该地址为 24 位 FLASH 地址的高 8 位，然后在 rebootn 上输入低脉冲，则触发 FPGA 重新加载程序。

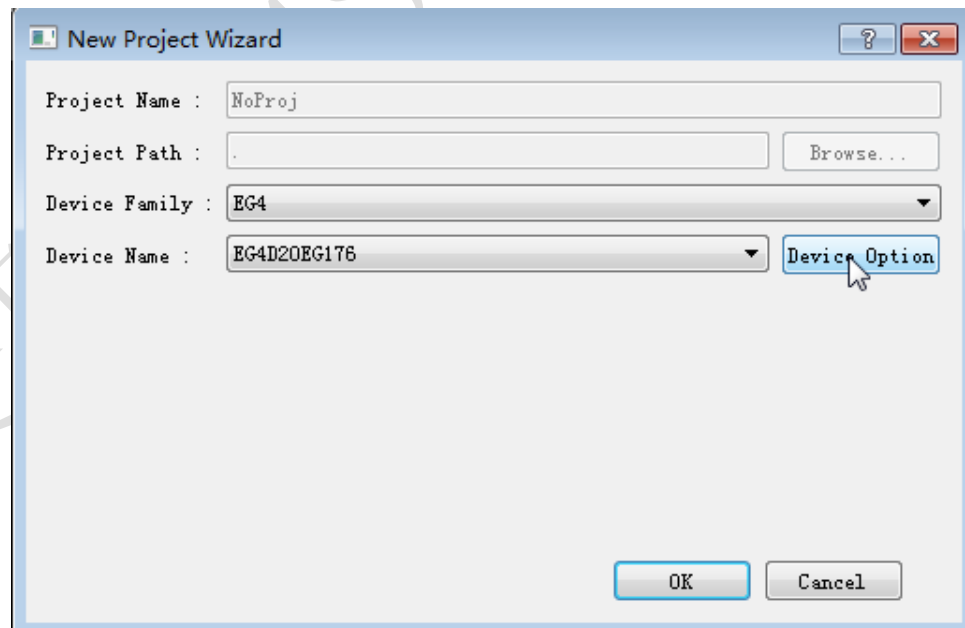
五、 双功能引脚的设置

1)PROGRAM_B,CSO_B,DO_DIN_MISO,MOSI_CSI_B,CCLK,DONE,JTAG_TMS,JTAG_TCK,JTAG_TDO,JTAG_TDI 等信号均可以通过软件设置为通用 IO 或者专用引脚。设置步骤如下：

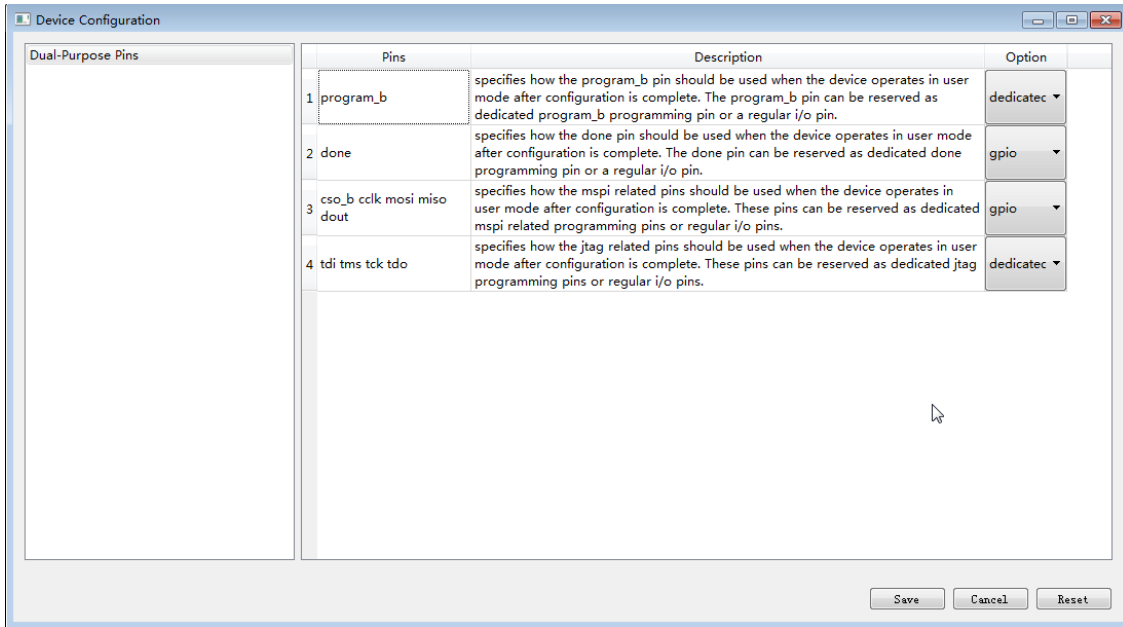
a. 在工程栏双击器件，跳出第二步的器件选择界面。



b.单击 DeviceOption 框

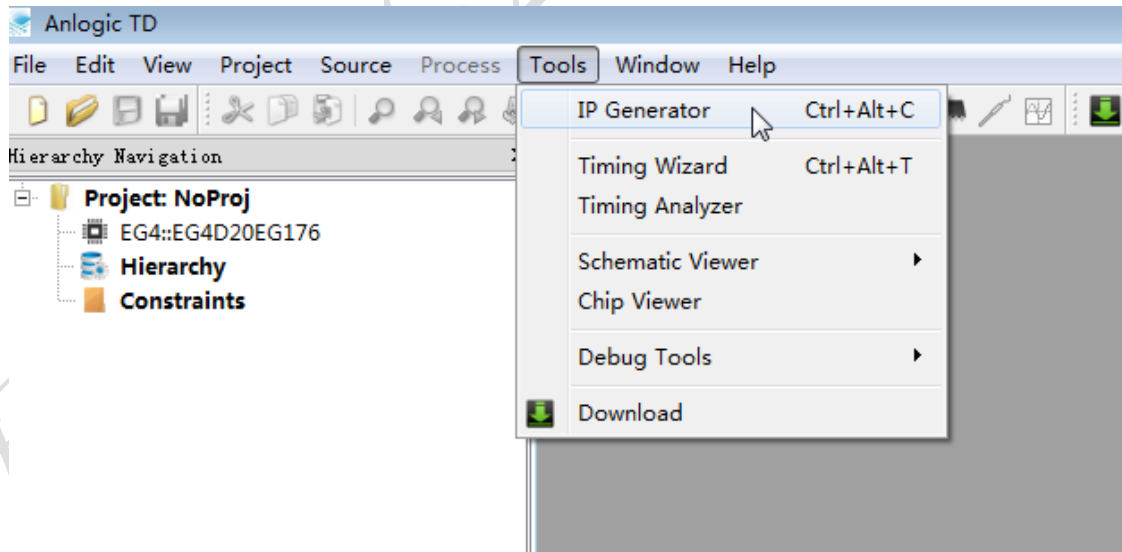


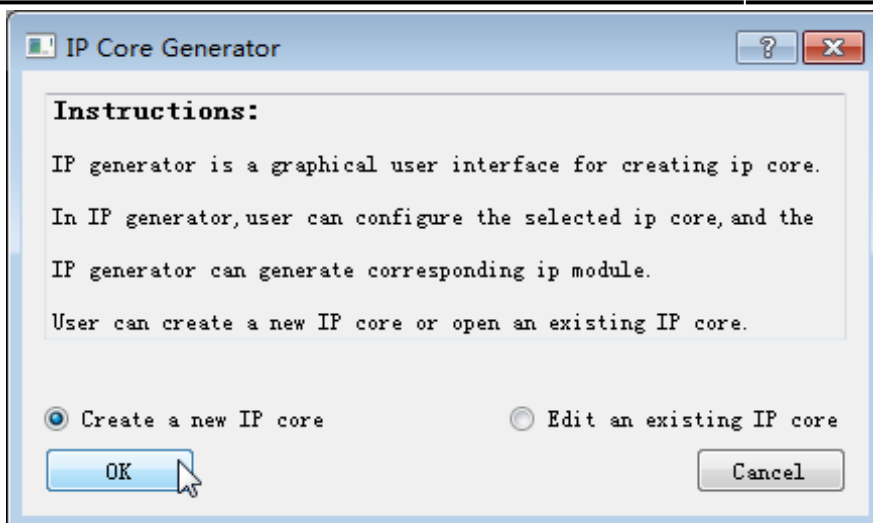
c.跳出下图的双功能引脚设置界面后，可以在相应需要设置的引脚处设置该引脚为专用功能脚还是作为 GPIO 使用。需要特别注意 JTAG 引脚如果作为 GPIO 使用，在 FPGA 上电成功加载程序后将不能使用 JTAG 接口控制 FPGA。



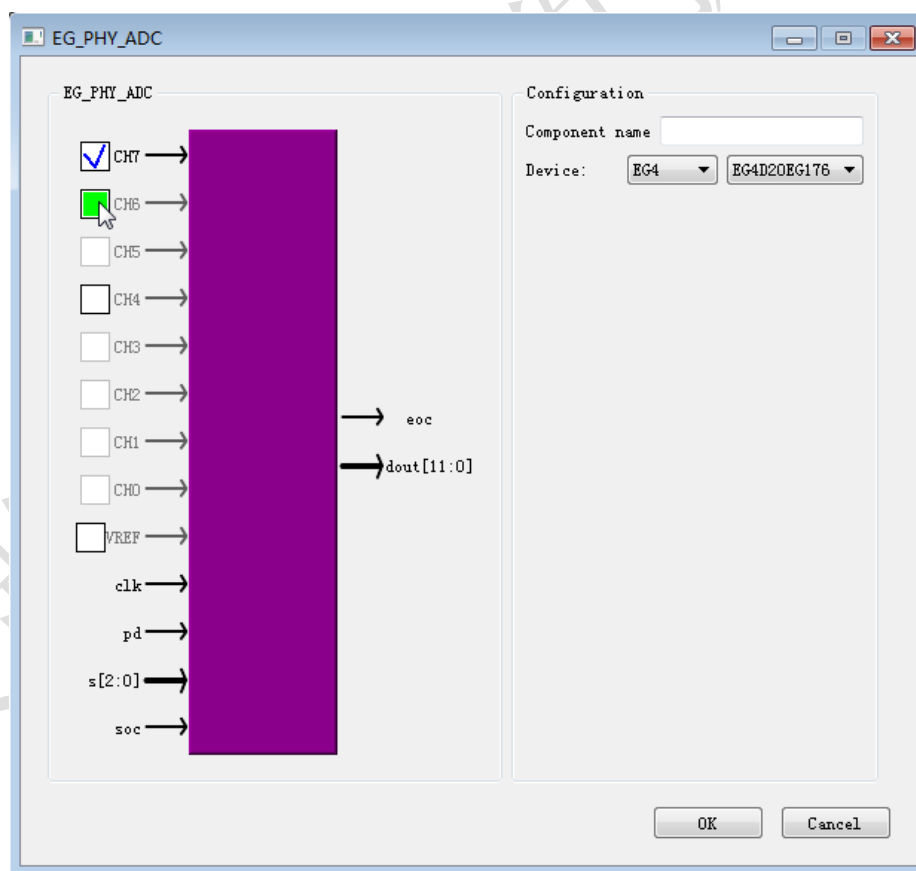
2)ADC 输入 ADC_CHx 信号复用引脚设置

a.点击“Tools”选择“Ip Generator”新建或打开一个 ADC IP





b. 进入 ADC IP 设置界面，在需要打开的通道前面打勾，软件会自动将引脚设置为专用功能脚还是作为 GPIO 使用



注：具体器件资源及使用细节请参考 Eagle_DataSheet_v1.9.pdf